Reti Logiche

Report Prova Finale

Lavoro di gruppo svolto da

Alberto Cantele Andrea Cioccarelli

Codice persona: 10766393 Codice persona: 10713858

# Introduzione:

L’obiettivo di questa prova finale, è quello di codificare, in VHDL, un processore di tipo: Artix-7 FPGA xc7a200tfbg484-1; con lo scopo di, dato un segnale in ingresso, estrarre da una memoria RAM un dato e mandarlo in output secondo determinati vincoli.

Le tempistiche di esecuzione vengono scandite da un segnale di clock e questo fa sì che il componente sia di tipo sincrono.

Il processore prende in ingresso 2 segnali chiamati “i\_start” e “i\_w” che indicano rispettivamente un bit che inizia il processo e attiva la ricezione del segnale i\_w (composto da 18 bit) che viene associato ad un indirizzo di memoria particolare.

Il segnale “i\_w” ha una duplice funzione. Anzitutto non viene garantito che il segnali occupi tutti i 18 bit di capacità, ma sicuramente avrà una lunghezza variabile dai 3 ai 18 bit.

I primi due bit del segnale identificano il canale di uscita che viene attivato una volta estratto il dato dalla memoria. Le uscite sono in totale 4 e vengono identificate dalle combinazioni: ”00” => z0, ”01” => z1, ”10” => z2, ”11” => z3.

I restanti 16 bit identificano invece un vero e proprio indirizzo di memoria, il quale viene associato a un dato da estrarre e poi mandare in output tramite l’uscita identificata dai bit precedentemente spiegati.

| OUT (2 bit) | ADDRESS (16 bit) |
| --- | --- |

L’indirizzo di memoria non necessariamente viene fornito completamente dal segnale di ingresso, bisogna quindi inserire un modulo di estensione del segnale.

Quest’ultimo ha lo scopo di aggiungere da sinistra verso destra un certo quantitativo di zeri in modo da raggiungere la lunghezza predefinita di 16 bit e quindi ottenere l’indirizzo da mandare alla memoria.

Nella sezione riguardante le interazioni con la memoria, il componente viene fornito di tre segnali output per la gestione dell’interazione con la memoria e un segnale di input.

Per quanto riguarda i segnali di output vengono usati:

* “o\_mem\_addr” che corrisponde all’effettivo indirizzo di memoria associato al dato ( il segnale di ingresso eventualmente esteso dai moduli precedenti)
* “o\_mem\_en”: un segnale da 1 bit che abilita/disabilita la sola lettura in memoria
* “o\_mem\_we”: un segnale da 1 bit che abilita/disabilita la lettura e la scrittura in memoria

L’unico segnale in ingresso: “i\_mem\_data” è un segnale da 8 bit e identifica il contenuto estratto dalla memoria che deve poi essere messo in output nell’uscita identificata precedentemente.

# Architettura:

L’architettura del componente sintetizzato presenta 2 moduli principali che vengono forniti dalla specifica: Il componente FPGA e la memoria RAM.

Il processore poi si divide in 3 sottomoduli, ognuno con una funzione specifica:

Inserire disegno architettura completa

**Modulo 1: FSM di gestione del processo**

inserire eventuali disegni/calcoli

**Modulo 2:** **FMS di identificazione canale output**

**ed estensione segnale di ingresso**

inserire eventuali disegni/calcoli o codici

**Modulo 3: Gestione output**

inserire eventuali disegni/calcoli o codici

# Risultati Sperimentali:

verificare con i test bench e allegare i risultati

allegare anche i test bench

# Conclusioni:

Difficoltà principali, risultati dei test

aspettative versus realtà